

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

## ⑫ 公開特許公報(A)

昭62-293441

⑬ Int.Cl.<sup>4</sup>G 06 F 11/14  
13/10

識別記号

3 1 0  
3 1 0

庁内整理番号

H-7368-5B  
B-7165-5B

⑭ 公開 昭和62年(1987)12月21日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 データ出力方式

⑯ 特 願 昭61-137381

⑰ 出 願 昭61(1986)6月12日

⑱ 発 明 者 中 村 直 人 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 発 明 の 名 称

データ出力方式

## 特 許 請 求 の 範 囲

プログラム制御により、一つの入力データに対し入力から出まで同一の処理を少なくとも2回行ないその都度処理されたデータを出力する中央処理装置と、この中央処理装置が1回の処理ごとに出力する処理されたデータをそれぞれ格納する少なくとも2つのレジスタ回路とこれらレジスタ回路に格納されたデータを比較しこれらデータが互いに一致しているときゲート信号を出力する比較回路と前記ゲート信号により前記レジスタ回路のうちの1つに格納されたデータを出力するゲート回路とを備えたデータ出力回路とを有することを特徴とするデータ出力方式。

## 発 明 の 詳 細 な 説 明

## (産業上の利用分野)

本発明はデータ出力方式に関し、特に電子計算機等から所定のデータを出力するときのデータ出力方式に関する。

## (従来の技術)

電子計算機を使用して各内部機器の制御を行なう装置では、中央処理装置で演算処理等を行ったデータをデータ出力回路を介して各内部機器に出力する。

従来、この種のデータ出力方式は、雑音や誤動作等の理由により誤ったデータが出力されないように、データにパリティ信号等の冗長ビットを付加する方法が一般に採用され、このデータを処理するために、パリティ信号発生回路、検出回路等を必要とするほか、メモリ回路、データバス回路、入出力回路等このデータが伝達される全ての回路にパリティ信号のための付加回路が必要であった。(発明が解決しようとする問題点)

上述した従来のデータ出力方式は、データにパリティ信号を付加する方法が採用され、このパリティ

ディ信号を処理するために多くの付加回路が必要となるので、誤り検出のための付加回路の規模が大きくなって装置全体のコストが高くなり、また冗長ビットのビット数に対応した所定の確率で誤りを見のがしてしまうという欠点があった。

またこのデータがデータ出力回路へ出力される以前のデータ演算処理段階や演算に係るパラメータを外部ファイル装置等から入力する段階で発生した場合には、誤りの検出そのものができるということもあるという欠点があった。

本発明の目的は、誤り検出のための付加回路の規模が小さくでき、しかも信頼度の高いデータを出力することができるデータ出力方式を提供することにある。

〔問題点を解決するための手段〕

本発明のデータ出力方式は、プログラム制御により、一つの入力データに対し入力から出までの同一の処理を少なくとも2回行ないその都度処理されたデータを出力する中央処理装置と、この中央処理が1回の処理ごとに出力する処理されたデ

回路4を介して格納し、第2のレジスタ回路32は2回目のデータを格納する。そして比較回路33によりこれら第1及び第2のレジスタ回路に格納されたデータが比較され、これらのデータが一致したときゲート信号がゲート回路34へ出力され、不一致のときには割込信号が中央処理装置へ出力され誤りが発生したことを伝達する。

ゲート回路34はゲート信号により第2のレジスタ回路32に格納されたデータを正しい出力データDT<sub>0</sub>として出力する。

従って、一つの入力データに対し、入力から出力までの処理が2回行なわれ、そのそれぞれ処理されたデータが互いに比較され一致したときのみ出力されるようになっているので、信頼度の高い出力データDT<sub>0</sub>が得られる。

なお、この実施例では、一つの入力データに対し同一の処理を2回行なうようになっているが、更に処理の回数を増すこともできる。

〔発明の効果〕

以上説明したように本発明は、一つの入力デー

ータをそれぞれ格納する少なくとも2つのレジスタ回路とこれらレジスタ回路に格納されたデータを比較しこれらデータが互いに一致しているときゲート信号を出力する比較回路と前記ゲート信号により前記レジスタ回路のうちの1つに格納されたデータを出力するゲート回路とを備えたデータ出力回路とを有している。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例を示すブロック図である。

中央処理装置1は、メモリ回路2等に格納されたプログラムにより制御され、一つの入力データに対し、入力から出力までの同一の処理を2回行ないその都度、処理されたデータを出力する。

データ出力回路3は第1及び第2のレジスタ回路31、32、比較回路33及びゲート回路34を備えており、第1のレジスタ回路31は中央処理装置1が処理し出力する1回目のデータをバス

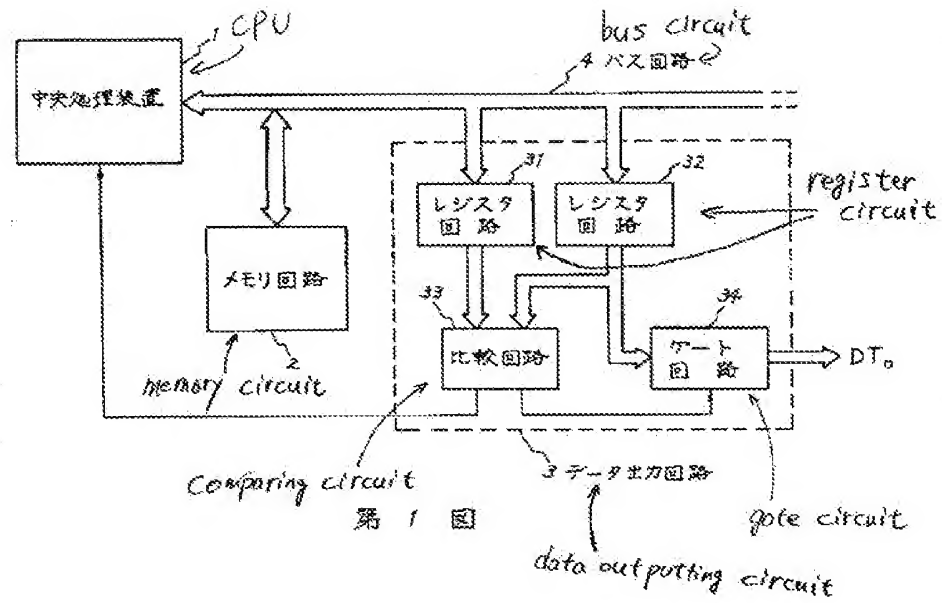
タに対し、入力から出力までの処理を少なくとも2回行ない、処理されたそれぞれのデータを簡単なデータ出力回路で比較しこれらが一致したときのみ処理されたデータを出力する構成となっているので、誤り検出のための付加回路の規模が小さくでき、しかも信頼度の高い出力データを得ることができる効果がある。

図面の簡単な説明

第1図は本発明の一実施例を示すブロック図である。

1…中央処理装置、2…メモリ回路、3…データ出力回路、4…バス回路、31、32…レジスタ回路、33…比較回路、34…ゲート回路。

代理人 弁理士 内 原 晋 治



第 1 図

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-293441

(43)Date of publication of application : 21.12.1987

(51)Int.Cl.

G06F 11/14

G06F 13/10

(21)Application number : 61-137381

(71)Applicant : NEC CORP

(22)Date of filing : 12.06.1986

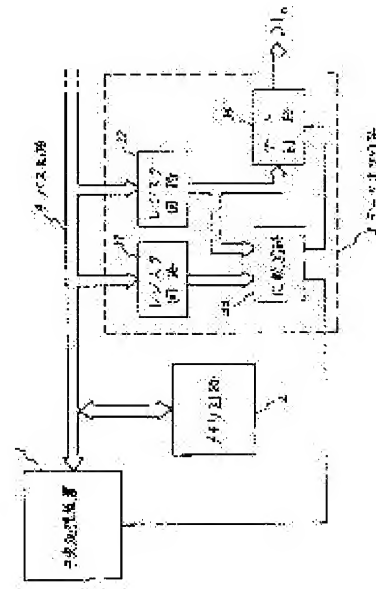
(72)Inventor : NAKAMURA NAOTO

## (54) DATA OUTPUTTING SYSTEM

### (57)Abstract:

**PURPOSE:** To output a data having high reliability by executing a processing at least two times with respect to one input data, storing the processing output of each time in each register circuit, comparing the stored contents of each register circuit, and sending them out as an output only in case of coincidence.

**CONSTITUTION:** A central processing unit 1 is controlled by a program stored in a memory circuit 2, executes the same processing two times extending from an input to an output with respect to one input data, and outputs a processed data at every time. A data outputting circuit 3 is provided with first and second register circuits 31, 32, a comparing circuit 33 and a gate circuit 34, the first register circuit 31 stores through a bus circuit 4 a first data processed and outputted by the central processing unit 1, and the second register circuit 32 stores a second data. The comparator 33 compares the contents of both the register circuits 31, 32, and when they are coincident, a data is outputted through the gate circuit 34, and in case of discrepancy, an error is informed to the central processing unit 1.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]